

대한민국 특허청

KOREAN INTELLECTUAL  
PROPERTY OFFICE

별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto  
is a true copy from the records of the Korean Intellectual  
Property Office.

출원번호 : 10-2002-0064245  
Application Number PATENT-2002-0064245

출원년월일 : 2002년 10월 21일  
Date of Application OCT 21, 2002

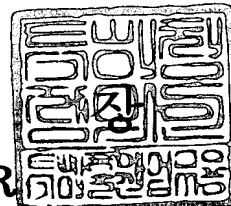
출원인 : 삼성전자 주식회사  
Applicant(s) SAMSUNG ELECTRONICS CO., LTD.



2002 년 11 월 06 일

특 허 청

COMMISSIONER





1020020064245

출력 일자: 2002/11/7

**【서지사항】**

<b>【서류명】</b>	특허출원서
<b>【권리구분】</b>	특허
<b>【수신처】</b>	특허청장
<b>【참조번호】</b>	0002
<b>【제출일자】</b>	2002.10.21
<b>【발명의 명칭】</b>	반도체 메모리 장치에 적합한 중간 전압 발생기
<b>【발명의 영문명칭】</b>	Half Vcc generator for use in semiconductor memory device
<b>【출원인】</b>	
<b>【명칭】</b>	삼성전자 주식회사
<b>【출원인코드】</b>	1-1998-104271-3
<b>【대리인】</b>	
<b>【성명】</b>	김능균
<b>【대리인코드】</b>	9-1998-000109-0
<b>【포괄위임등록번호】</b>	2001-022241-9
<b>【발명자】</b>	
<b>【성명의 국문표기】</b>	천기철
<b>【성명의 영문표기】</b>	CHUN, Ki Chul
<b>【주민등록번호】</b>	700917-1249412
<b>【우편번호】</b>	449-915
<b>【주소】</b>	경기도 용인시 구성면 언남리 147번지
<b>【국적】</b>	KR
<b>【심사청구】</b>	청구
<b>【취지】</b>	특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인 김능균 (인)
<b>【수수료】</b>	
<b>【기본출원료】</b>	17 면 29,000 원
<b>【가산출원료】</b>	0 면 0 원
<b>【우선권주장료】</b>	0 건 0 원
<b>【심사청구료】</b>	7 항 333,000 원
<b>【합계】</b>	362,000 원
<b>【첨부서류】</b>	1. 요약서·명세서(도면)_1통

**【요약서】****【요약】**

반도체 메모리 장치에 적합한 중간 전압 발생기가 개시된다. 본 발명은 두 가지 형태의 중간 전압 발생기(Half Vcc generator)를 조합하여 와이드 랜지의 전원전압에 대하여 안정적인 출력전압을 제공한다. 차동 증폭기를 사용하는 중간 전압 발생기의 높은 구동력과, 저항 및 다이오드를 이용한 중간 전압 발생기의 정확한 레벨 유지력을 모두 지닌 중간 전압 발생기를 제공하여 출력 노드의 부하변동에 고속으로 응답하면서도 안정된 중간 전압 레벨을 얻는다.

**【대표도】**

도 3

**【색인어】**

반도체 메모리 장치, 중간 전압 발생기, 와이드 랜지, 차동 증폭기



## 【명세서】

### 【발명의 명칭】

반도체 메모리 장치에 적합한 중간 전압 발생기{Half Vcc generator for use in semiconductor memory device}

### 【도면의 간단한 설명】

도 1 및 도 2는 종래기술에 따른 중간 전압 발생기의 회로도들

도 3 내지 도 5는 본 발명의 다양한 실시 예들에 따른 중간 전압 발생기의 회로도들

### 【발명의 상세한 설명】

### 【발명의 목적】

### 【발명이 속하는 기술분야 및 그 분야의 종래기술】

- <3> 본 발명은 반도체 장치에 관한 것으로, 특히 반도체 메모리 장치에 적합한 중간 전압 발생기(Half Vcc generator)에 관한 것이다.
- <4> 통상적으로, 반도체 메모리 장치의 리드동작의 경우, 메모리 셀에 저장된 데이터는 비트라인(이하 BL이라 칭함)과 상보 비트라인(Complementary Bit Line;이하 BLB라 칭함)에 연결된 센스 앰프(Sense Amplifier;이하 S/A이라 칭함)에 의해 감지 및 증폭된 후, 외부로 출력된다. 상기 S/A의 감지 및 증폭동작이 수행된 후에는 상기 BL과 BLB를 설정



된 전압레벨로 프리차아지(Precharge)하는 프리차아지 동작이 행해진다. 상기 프리차아지 동작은 두 가지 방식으로 대별된다.

<5> 첫 번째 방식은 BL을 전원전압(VCC)의 레벨로 프리차아지 하고, BLB는 접지전압(VSS)의 레벨로 프리차아지 하는 것이다. 두 번째 방식은 상기 BL과 BLB를 중간 전원전압(Half VCC)의 레벨로 프리차아지 하는 것이다. 상기 첫 번째 방식은 풀 전원전압(Full VCC) 프리차아지라고 칭해지고, 두 번째 방식은 중간 전압(Half VCC) 프리차아지라고 칭해진다. 상기 풀 전원전압 프리차아지 방식은 중간 전압 프리차아지 방식에 비해 전력 소모가 크기 때문에 대부분의 반도체 메모리 장치에서는 중간 전압 프리차아지 방식이 사용되어지고 있다.

<6> 중간 전압 프리차아지 방식으로 프리차아지 동작을 수행하기 위해서는 중간 전압(Half VCC)발생기가 칩 내에 필요해진다.

<7> 도 1은 종래의 전형적인 중간전압 발생기의 회로를 도시한 것이다. 도면을 참조하면, 중간 전압 발생기는 두 개의 MOS 저항(MP0, MN0), 두 개의 다이오드(MN1, MP1), 풀업(Pull-Up) 드라이버(MN2), 및 풀다운(Pull-Down)드라이버(MP2)로 구성되어 있다. 상기 MOS 저항(MP0, MN0)의 저항 비에 따라 노드(NDA)의 전압이 결정되고, 노드(NDA)의 전압은 두 개의 다이오드(MP1, MN1)를 통해 상기 풀업 및 풀다운 드라이버(MN2, MP2)의 게이트에 각기 인가된다. 상기 풀업 및 풀다운 드라이버(MN2, MP2)는 각각의 게이트에 인가되는 전압의 레벨에 따라 동작되어 중간 전압(VBL)을 출력한다. 결국, 출력되는 중간 전압(VBL)의 레벨은 상기 노드(NDA)의 전압레벨을 추종하게 된다.

<8> 도면에서, 상기 두 개의 MOS 저항(MP0, MN0)의 각 게이트들에는 상기 중간



전압(VBL)이 공통으로 궤환(피드백)입력된다. 상기 중간 전압(VBL)의 레벨이 전원전압(VCC)의 절반(Half)레벨로 될 때, 상기 노드(NDA)의 전압레벨이 중간 전압(Half VCC)로 되도록 상기 MOS 저항(MP0, MN0)의 트랜지스터 사이즈를 조절해 놓으면 상기 풀업 및 풀다운 드라이버(MN2, MP2)의 게이트에는 각각 다이오드의 문턱전압 만큼의 전압이 가해진다. 출력되는 상기 중간 전압(VBL)의 레벨이 하프 전원전압(Half VCC)에서 벗어나면 궤환에 의해 두 MOS 저항(MP0, MN0)의 저항값이 바뀌고, 그에 따라 노드(NDA)의 전압레벨도 바뀌게 된다. 상기 바뀌어진 전압레벨은 상기 풀업 및 풀다운 드라이버(MN2, MP2)의 게이트 게이트 전압을 변화시켜 출력단의 중간전압(VBL)의 레벨이 안정적으로 하프 전원전압(Half VCC)의 레벨로 유지되도록 한다.

<9> 반도체 메모리 제조 기술의 발전과 저전력 메모리에 대한 요구가 점차 늘어남에 따라 점차 전원전압(VCC)의 레벨이 낮아지고 있는 추세인데, 이에 따라 도 1에 도시된 바와 같은 중간 전압 발생기는 한계를 보이고 있다. 그 이유로서는 저항으로 사용되고 있는 두 트랜지스터(MP0, MN0)가 오프되는 상황이 발생한다는 것이다. 즉, 상기 두 트랜지스터(MP0, MN0)는 게이트 전압으로서 하프 전원전압(이하 "Half Vcc")을 받게 되는데, 그 전압이 점차로 낮아지면 상기 두 트랜지스터중 하나가 "OFF"되는 경우가 발생하여 전압 발생기의 역할을 제대로 하지 못한다.

<10> 그러나, 도 1의 중간 전압 발생기에서는 중간 전압의 레벨이 트랜지스터의 문턱전압( $V_t$ )이상인 경우에 두 드라이버(MN2, MP2)가 동시에 "ON"되는 경우가 없어서 대기 전류가 적고, 설정된 중간 전압의 레벨을 정확히 유지할 수 있다는 것이 장점이다.

<11> 도 2는 종래에 사용하고 있는 또 다른 형태의 중간 전압 발생기를 도시한 것이다. 상기 도 2의 회로는 2개의 차동 증폭기(DA1, DA2)를 기본적으로 사용하여 드라이버 트랜



지스터를 구동하기 때문에 도 1의 회로에 비해 큰 구동 능력을 갖는다. 또한, 상기 도 1의 회로의 저전압 한계가  $2V_t$  인데 비해 도 2의 회로는  $1V_t + V_{ds\_sat}$ 로 되어 낮게 된다. 따라서, 도 2의 회로는 저전압 한계가 낮고 구동력이 큰 장점은 있지만, 두 개의 트랜지스터(MP12, MN12)가 모두 동시에 "ON" 되어 관통 전류가 흐르거나 출력 노드(NDB)의 출력전압의 레벨이 진동할 수 있는 단점을 가진다.

- <12>       상기한 바와 같이, 종래의 중간 전압 발생기들은 구동능력이 작고 저전압 동작에 제한이 있거나 관통 전류가 흐르고 출력 노드의 전압레벨이 진동할 수 있다는 문제점이 있어 왔다. 따라서, 보다 개선된 중간 전압 발생기가 요구된다.

#### 【발명이 이루고자 하는 기술적 과제】

- <13>       따라서, 본 발명의 목적은 개선된 중간 전압 발생기를 갖는 반도체 장치를 제공함에 있다.
- <14>       본 발명의 다른 목적은 큰 구동력을 가지면서도 중간 전원전압의 레벨을 정확히 얻을 수 있는 중간 전압 발생기를 제공함에 있다.
- <15>       본 발명의 또 다른 목적은 출력 노드의 부하변동에 고속으로 응답하면서도 안정된 중간 전압 레벨을 유지하는 반도체 메모리 장치의 중간 전압 발생기를 제공함에 있다.
- <16>       본 발명의 또 다른 목적은 반도체 장치의 신뢰성 및 동작 안정성을 제공할 수 있는 중간 전압 발생기를 제공함에 있다.
- <17>       상기한 목적들 및 타의 목적을 달성하기 위하여 본 발명의 일 아스펙트에 따른 반도체 장치의 중간 전압 발생기는, 저항분압에 의해 제1,2 기준전압을 생성하는 기준전압

생성부와, 상기 제1,2 기준전압을 궤환되는 출력전압과 각기 차동 비교하고 그 차동 비교된 레벨들으로써 제1 구동 트랜지스터부를 구동하여 전원전압의 절반레벨이 되는 중간전압을 생성하는 차동증폭 구동부, 모오스 저항들 및 다이오드 들을 통해 제3,4 기준전압을 생성하는 저항/다이오드 기준전압 생성부, 및 상기 제3,4 기준전압에 응답하여 제2 구동 트랜지스터부를 구동하여 상기 중간전압을 생성하는 풀 업/다운 구동부를 구비하는 것을 특징으로 한다.

#### 【발명의 구성 및 작용】

- <18>        상기한 본 발명의 목적들 및 타의 목적들, 특징, 그리고 이점들은, 첨부된 도면들을 참조하여 이하에서 기술되는 본 발명의 상세하고 바람직한 실시예의 설명에 의해 보다 명확해질 것이다. 도면들 내에서 서로 동일 내지 유사한 부분들은 설명 및 이해의 편의상 동일 내지 유사한 참조부호들로 기재됨을 주목하여야 한다.
- <19>        도 3 내지 도 5는 본 발명의 다양한 실시 예들에 따른 중간 전압 발생기의 회로도들이다.
- <20>        먼저, 도 3을 참조하면, 도 1 및 도 2의 회로의 출력 노드를 공유하는 형태로 구성되어 있다. 기준전압 생성부(30), 차동증폭 구동부(31), 풀 업/다운 구동부(32), 모오스 저항/다이오드 기준전압 생성부(33)로 이루어진 상기 도 3의 회로는 상기 기준전압 생성부(30)와 차동증폭 구동부(31)에 의해 도 2와 같은 중간 전압 발생기를 구성하고, 풀 업/다운 구동부(32)와 모오스 저항/다이오드 기준전압 생성부(33)에 의해 도 1과 같은 중간 전압 발생기를 구성한다. 그러나, 도 3의 회로는 도 1과 도 2의 회로를 단순히 조



합한 것이 아니라, 저항 소자 및 기준전압이 본 발명의 고유한 목적들을 달성하기 위해 적절히 설정된 것이다.

<21>       상기 기준전압 생성부(30)는, 전원 단자와 제1 기준전압( $V_{ref1}$ )이 생성되는 제1노드 사이에 연결된 제1저항( $R_0$ ), 상기 제1노드와 제2 기준전압( $V_{ref2}$ )이 생성되는 제2노드 사이에 연결된 제2저항( $R_1$ ), 및 상기 제2노드와 접지단자 사이에 연결된 제3저항( $R_2$ )으로 구성된다.

<22>       상기 차동증폭 구동부(31)는, 상기 제2노드에 일측 입력이 연결되고 타측 입력은 출력단자가 부궤환의 형태로 연결된 제1 차동증폭기( $DA_1$ ), 상기 제1노드에 일측 입력이 연결되고 타측 입력은 상기 출력단자가 부궤환의 형태로 연결된 제2차동증폭기( $DA_2$ ), 소오스에는 전원단자가 드레인에는 상기 출력단자가 게이트에는 상기 제1차동증폭기의 출력이 연결되는 제1 pMOS 트랜지스터( $MP_{12}$ ), 및 드레인에는 상기 출력단자가 소오스에는 접지단자가 게이트에는 상기 제2차동증폭기의 출력이 연결되는 제1 nMOS 트랜지스터( $MN_{12}$ )로 구성된다.

<23>       상기 풀 업/다운 구동부(32)는, 드레인에 전원단자가 소오스에는 상기 출력단자가 연결된 제2 nMOS 트랜지스터( $MN_2$ ), 및 소오스에 상기 출력단자가 드레인이 접지단자가 연결된 제2 pMOS 트랜지스터( $MP_2$ )로 구성된다.

<24>       상기 모오스 저항/다이오드 기준전압 생성부(33)는, 소오스에 전원단자가 게이트에는 상기 출력단자가 드레인에는 상기 제2 nMOS 트랜지스터( $MN_2$ )의 게이트가 연결된 제3 pMOS 트랜지스터( $MP_0$ ), 드레인 및 게이트가 상기 제3 pMOS 트랜지스터( $MP_0$ )의 드레인에 공통으로 연결된 제3 nMOS 트랜지스터( $MN_1$ ), 소오스가 상기 제3 nMOS 트랜지스터( $MN_1$ )의 소오스에 연결되고 게이트와 드레인이 상기 제2 pMOS 트랜지스터( $MP_2$ )의 게이트와 연결

된 제4 pMOS 트랜지스터(MP1), 및 게이트에는 상기 출력단자가 드레인에는 제4 pMOS 트랜지스터(MP1)의 드레인이 소오스에는 접지 단자가 연결된 제4 nMOS 트랜지스터(MN0)로 구성된다.

<25> 도 3의 회로에서 제1 기준전압  $V_{ref1}$ 은  $(V_{cc} \cdot (R_1 + R_2)) / (R_0 + R_1 + R_2)$ 인데, 여기서  $R_0 = R_2$ 이고  $R_1 \ll R_0, R_2$ 인 경우  $V_{ref1}$ 은 Half  $V_{cc}$ 보다  $R_1 / ((R_0 + R_1 + R_2) / 2)$ 만큼 크고,  $V_{ref2}$ 는 Half  $V_{cc}$ 보다  $R_1 / ((R_0 + R_1 + R_2) / 2)$ 만큼 작다. 따라서 제1 차동증폭기(DA1)는 출력단(VBL)의 레벨이  $V_{cc} / 2 - R_1 / ((R_0 + R_1 + R_2) / 2)$ 보다 작을 때 출력이 "Low"가 되어 구동 트랜지스터(MP12)를 "ON" 시킨다. 따라서, 전원 단자에서 VBL 노드로 전하가 공급되어 VBL의 전압이 상승한다. 제2 차동증폭기(DA2)는 VBL이  $V_{cc} / 2 + R_1 / ((R_0 + R_1 + R_2) / 2)$ 보다 높을 때 출력이 "High"가 되어 구동 트랜지스터(MN12)트랜지스터를 "ON" 시킨다. 따라서, VBL 노드에서 접지 단자로 전하가 흘러, VBL의 전압이 하강한다. 즉 VBL 노드는 레벨이  $V_{cc} / 2 \pm R_1 / ((R_0 + R_1 + R_2) / 2)$  이내에 있을 때에는 트랜지스터(MP12, MN12)가 동시에 "OFF"되어 플로팅(Floating)상태로 있게 된다. 이 동작은 차동 증폭기의 오프셋(offset)에 의해 트랜지스터(MP12)에서 트랜지스터(MN12)로 관통 전류가 흐르는 것을 방지한다.

<26> 반도체 공정 기술의 발달로 디바이스 스케일 다운이 진행되면서 차동 증폭기의 오프셋(offset)은 점점 커지는 추세에 있으며, 따라서 오프셋(offset)을 보상하기 위해서는 VBL 노드의 플로팅(floating)구간이 더욱 커져야 한다는 부담을 준다.

<27> 이에 비해, 도 3의 풀 업/다운 구동부(32)와, 모오스 저항/다이오드 기준전압 생성부(33)로 이루어진 전압 발생기에 보여 지듯이, 저항과 다이오드를 이용한 Half  $V_{cc}$  전압 발생기는 드라이버 트랜지스터(MN2, MP2)의 게이트 전압이 VBL 노드 전압에 대하여 항상 같은 방향으로 변하기 때문에 두 트랜지스터가 동시에 "ON"되는 경우는 없다. 따라서

이러한 형태의 Half Vcc 전압 발생기는 정확하게 Half Vcc레벨로 VBL 노드를 유지하는 것이 가능하다.

<28>      상기한 바와 같이, 본 발명에 따른 도 3의 회로는 종래의 두 가지 형태의 Half Vcc 전압 발생기를 조합하고 저항과 기준전압을 위와 같이 설정하여 사용한다. 따라서, 차동 증폭기를 사용하는 중간 전압 발생기의 높은 구동력과 저항과 다이오드를 이용한 중간 전압 발생기의 정확한 Half Vcc 레벨 유지력을 모두 갖는 장점이 있다.

<29>      한편, 도 3의 회로에서 사용된 저항(R1)은 도 1의 저항 값에 비해 큰 값으로 설정하여도 두 가지 형태의 전압 발생기의 조합에 의해 VBL 노드는 "플로팅" 구간을 가짐이 없이 안정적인 레벨을 유지하게 되는 특성이 있다.

<30>      도 4 및 도 5는 본 발명의 다른 실시 예들로서 차동 증폭기를 사용한 Half Vcc 전압 발생기의 높은 구동력은 그대로 사용하면서 다이오드 연결 형태의 저항을 혼용하여 노드(VBL)의 "플로팅"을 방지하는 변형 예의 회로들이다.

<31>      도 4를 참조하면, 도 3에서 보여지는 풀 업/다운 구동부(32)를 생략하고, 모오스 저항/다이오드 기준전압 생성부(33)대신에 저항소자로서 기능하는 엔형 모오스 다이오드(MN21,MN22)를 연결한 구성이 나타나 있다.

<32>      도 5를 참조하면, 도 3에서 보여지는 풀 업/다운 구동부(32)를 생략하고, 모오스 저항/다이오드 기준전압 생성부(33)대신에 저항소자로서 기능하는 피형 모오스 다이오드(MP31,MP32)를 연결한 구성이 나타나 있다.

<33>      도 4 및 도 5에서도 VBL 노드는 "플로팅" 구간을 가짐이 없이 안정적인 레벨을 유지하게 되므로, 높은 구동력과 Half Vcc 레벨의 정확한 유지력이 얻어진다.

<34>       상기한 바와 같이, 본 발명은 도면을 기준으로 예를들어 기술되었지만 이에 한정되지 않으며 발명의 기술적 사상을 벗어나지 않는 범위내에서 본 발명이 속하는 기술분야에서 통상의 지식을 갖는 자에 의해 다양한 변화와 변경이 가능함은 물론이다. 예를 들어, 사안에 따라 회로 소자의 내부 연결구성을 달리할 수 있음은 물론이다.

**【발명의 효과】**

<35>       상술한 바와 같이 본 발명의 중간 전압 발생기에 따르면, 출력 노드의 부하변동에 고속으로 응답하면서도 안정된 중간 전압 레벨을 유지하므로, 구동력이 높으면서도 중간 전원전압의 레벨을 정확히 얻는 효과가 있다.

**【특허청구범위】****【청구항 1】**

저항분압에 의해 제1,2 기준전압을 생성하는 기준전압 생성부와,

상기 제1,2 기준전압을 궤환되는 출력전압과 각기 차동 비교하고 그 차동 비교된 레벨들로서 제1 구동 트랜지스터부를 구동하여 전원전압의 절반레벨이 되는 중간전압을 생성하는 차동증폭 구동부,

모오스 저항들 및 다이오드 들을 통해 제3,4 기준전압을 생성하는 저항/다이오드 기준전압 생성부, 및

상기 제3,4 기준전압에 응답하여 제2 구동 트랜지스터부를 구동하여 상기 중간전압을 생성하는 풀 업/다운 구동부를 구비하는 것을 특징으로 하는 반도체 메모리 장치에 적합한 중간전압 발생기.

**【청구항 2】**

제1항에 있어서, 상기 제1 기준전압은 상기 제2 기준전압보다 큰 전압 레벨을 가짐을 특징으로 하는 반도체 메모리 장치에 적합한 중간전압 발생기.

**【청구항 3】**

제1항에 있어서, 상기 제3,4 기준전압은 상기 모오스 저항들의 사이즈 설계에 의해 설정됨을 특징으로 하는 반도체 메모리 장치에 적합한 중간전압 발생기.

## 【청구항 4】

반도체 메모리 장치에 적합한 중간 전압 발생기에 있어서:

전원 단자와 제1노드 사이에 연결된 제1저항,

상기 제1노드와 제2노드 사이에 연결된 제2저항,

상기 제2노드와 접지단자 사이에 연결된 제3저항,

상기 제2노드에 일측 입력이 연결되고 타측 입력은 출력단자가 부궤환의 형태로 연결된 제1 차동증폭기,

상기 제1노드에 일측 입력이 연결되고 타측 입력은 상기 출력단자가 부궤환의 형태로 연결된 제2차동증폭기,

소오스에는 전원단자가 드레인에는 상기 출력단자가 게이트에는 상기 제1차동증폭기의 출력이 연결되는 제1 pMOS 트랜지스터,

드레인에는 상기 출력단자가 소오스에는 접지단자가 게이트에는 상기 제2차동증폭기의 출력이 연결되는 제1 nMOS 트랜지스터,

드레인에 전원단자가 소오스에는 상기 출력단자가 연결된 제2 nMOS 트랜지스터,

소오스에 상기 출력단자가 드레인이 접지단자가 연결된 제2 pMOS 트랜지스터,

소오스에 전원단자가 게이트에는 상기 출력단자가 드레인에는 상기 제2 nMOS 트랜지스터의 게이트가 연결된 제3 pMOS 트랜지스터,

드레인 및 게이트가 상기 제3 pMOS 트랜지스터의 드레인에 공통으로 연결된 제3 nMOS 트랜지스터,

소오스가 상기 제3 nMOS 트랜지스터의 소오스에 연결되고 게이트와 드레인이 상기 제2 pMOS 트랜지스터의 게이트와 연결된 제4 pMOS 트랜지스터,

게이트에는 상기 출력단자가 드레인에는 제4 pMOS 트랜지스터의 드레인이 소오스에 접지 단자가 연결된 제4 nMOS 트랜지스터를 구비함을 특징으로 하는 반도체 메모리 장치에 적합한 중간 전압 발생기.

#### 【청구항 5】

반도체 메모리 장치에 있어서:

전원 단자와 제1노드 사이에 연결된 제1저항,

상기 제1노드와 제2노드 사이에 연결된 제2저항,

상기 제2노드와 접지단자 사이에 연결된 제3저항,

상기 제2노드에 일측 입력이 연결되고 타측 입력은 출력단자가 부궤환의 형태로 연결된 제1 차동증폭기,

상기 제1노드에 일측 입력이 연결되고 타측 입력은 상기 출력단자가 부궤환의 형태로 연결된 제2차동증폭기,

소오스에는 전원단자가 드레인에는 상기 출력단자가 게이트에는 상기 제1차동증폭기의 출력이 연결되는 제1 pMOS 트랜지스터,

드레인에는 상기 출력단자가 소오스에는 접지단자가 게이트에는 상기 제2차동증폭기의 출력이 연결되는 제1 nMOS 트랜지스터,

전원단자와 출력단자 사이에 연결된 제4 저항, 및

상기 출력단자와 접지단자 사이에 연결된 제5 저항을 구비함을 특징으로 하는 중간 전압 발생기.

**【청구항 6】**

제5항에 있어서, 상기 제4 저항과 제5저항은 엔형 모오스 다이오드로 구성된 것을 특징으로 하는 중간 전압 발생기.

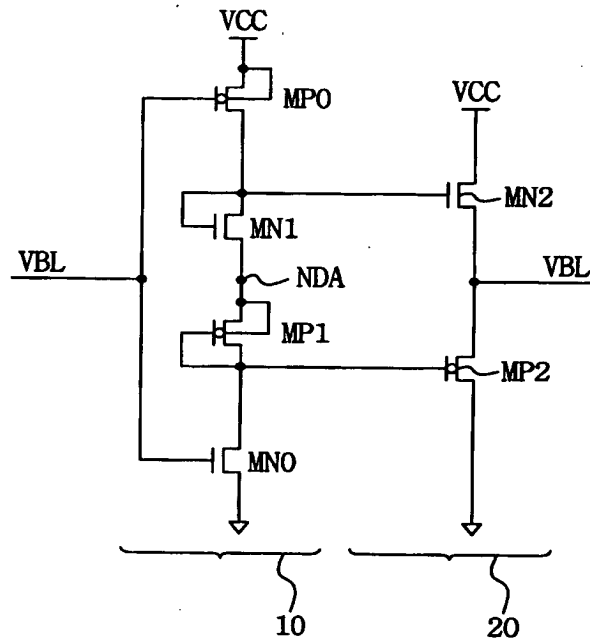
**【청구항 7】**

제5항에 있어서, 상기 제4 저항과 제5저항은 피형 모오스 다이오드로 구성된 것을 특징으로 하는 중간 전압 발생기.

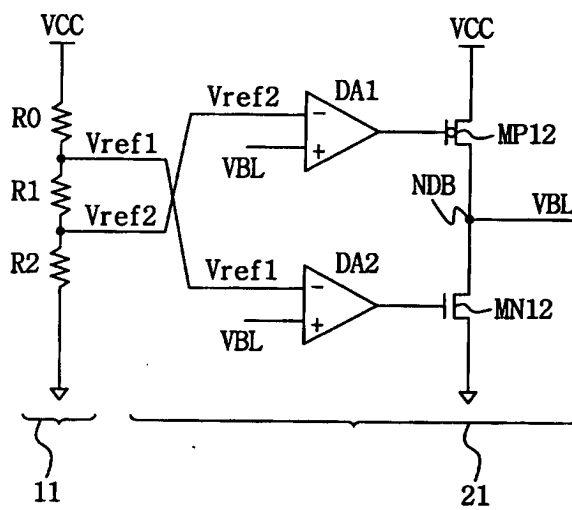


【도면】

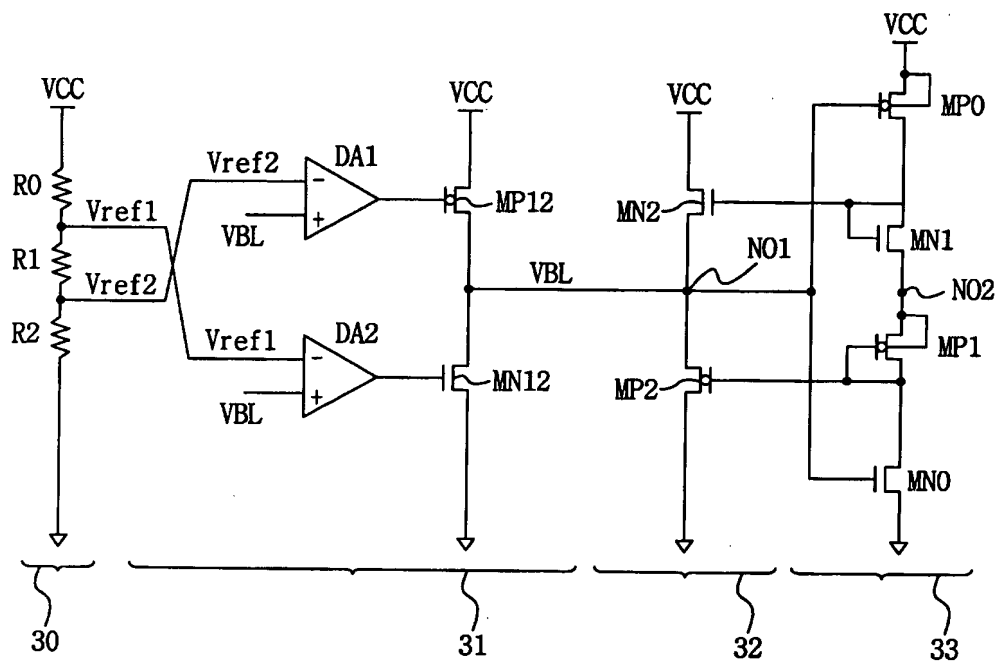
【도 1】



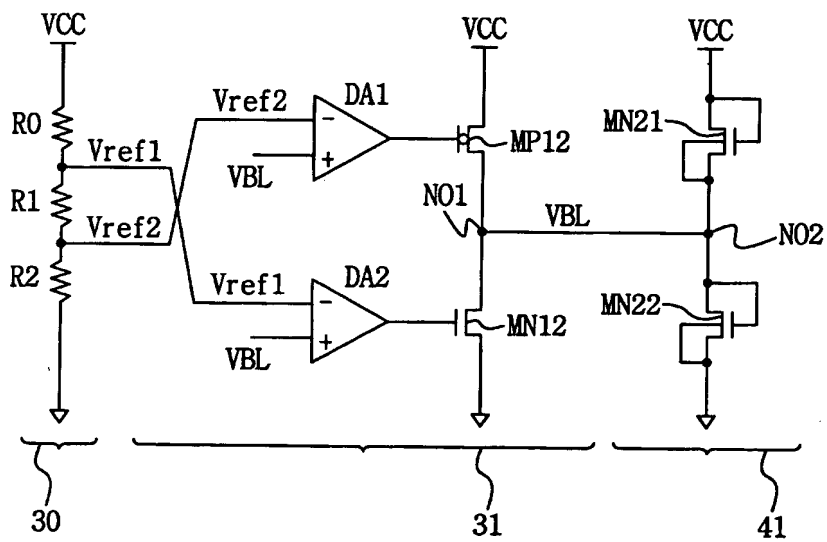
【도 2】



【도 3】



【도 4】



【도 5】

